

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Patent Number: JP1259560
Publication date: 1989-10-17
Inventor(s): YOSHIMATSU MASAHIRO
Applicant(s): RICOH CO LTD
Requested Patent: ☐ JP1259560
Application Number: JP19880087808 19880408
Priority Number(s):
IPC Classification: H01L29/78; H01L27/08
EC Classification:
Equivalents:

Abstract

PURPOSE: To reduce the diffusion resistance and the wiring resistance to enable a high speed operation and maintain a high surge voltage resistance, by forming a silicide layer in an internal circuit part but not in an input/output protection circuit part.

CONSTITUTION: An input/output protection circuit part is formed in the right part surrounded by a field oxide film 2 in the figure and an internal circuit part is formed in the left part. A source/drain area composed of an N<+> diffusion layer 6 which is not of LDD structure is formed in the input/output protection circuit part. The diffusion layer of the source/drain area in the internal circuit part is of LDD structure comprising an N<+> diffusion layer 9 and an N<-> layer 7 closer to a channel area. A titanium silicide layer 11 is formed on the surfaces of the diffusion layer 9 and a polysilicon gate electrode 4 in the internal circuit part only. This enhances the reliability, enables a high speed operation, and improves the surge voltage resistance.

Data supplied from the esp@cenet database - I2

⑫ 公開特許公報(A) 平1-259560

⑤ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)10月17日

H 01 L 29/78
27/08
29/783 0 1
1 0 2
3 0 1K-8422-5F
C-7735-5F
C-8422-5F

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 半導体集積回路装置

⑰ 特 願 昭63-87808

⑱ 出 願 昭63(1988)4月8日

⑲ 発 明 者 吉 松 昌 裕 東京都大田区中馬込1丁目3番6号 株式会社リコー内

⑳ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号

㉑ 代 理 人 弁 理 士 野 口 繁 雄

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

(1) 入出力保護回路部を備え、入出力保護回路部以外の内部回路部の拡散領域及びポリシリコン層にシリサイド層が形成されており、入出力保護回路部の拡散領域にはシリサイド層が形成されていない半導体集積回路装置。

3. 発明の詳細な説明

(技術分野)

本発明は入出力保護回路を備えた半導体集積回路装置に関するものである。

(従来技術)

近年のMOS型半導体集積回路装置の高速化、微細化にともない、拡散抵抗及び配線抵抗の低抵抗化が望まれている。こうした要求を満足させるために種々の高融点金属プロセスが提案されたが、その中でサリサイド(Self Aligned Silicide)プロセスはソース・ドレイン領域及びゲート配線

領域を同時にシリサイド化して低抵抗化する優れたプロセスである。

また、半導体集積回路装置の信頼性を確保するためにはLDD(Lightly Doped Drain)構造が必要不可欠なものとなってきている。

しかしながら、半導体集積回路装置の入出力保護回路部へLDD構造及びシリサイド構造を適用すると、LDD構造とシリサイド構造をもたない従来の入出力保護回路に比べてサージ破壊に対する耐性が低下することが報告されている(「24th Annual Proceedings of Reliability Physics」199~205(1986)参照)。

(目的)

本発明は規格を満足するのに十分なサージ耐圧をもち、しかも、高速化を可能にする半導体集積回路装置を提供することを目的とするものである。

(構成)

本発明では、入出力保護回路部以外の内部回路部の拡散領域及びポリシリコン層にシリサイド層が形成されており、入出力保護回路部の拡散領域

にはシリサイド層が形成されていない。

入出力保護回路部にシリサイド層を形成しないことにより、高いサージ耐圧を維持することができ、入出力保護回路以外の内部回路部ではシリサイド構造を設けることにより、拡散抵抗と配線抵抗を低下させて高速動作を可能にする。

入出力保護回路部にLDD構造を設けるとサージ耐圧が低下するが、シリサイド構造にしなければLDD構造をもつだけではサージ耐圧の規格を満足することができる。したがって、入出力保護回路部はLDD構造にしてもよく、しなくてもよい。入出力保護回路部以外の内部回路部はLDD構造とすれば高い信頼性を得ることができる。

以下、実施例について具体的に説明する。

第1図は一実施例を表わす。

1はP型シリコン基板、2はフィールド酸化膜である。フィールド酸化膜2で囲まれた図の右側領域には入出力保護回路部が形成され、左側領域には内部回路部が形成されている。

入出力保護回路部ではN⁺拡散層6によるソー

イド層を形成する方法である。

(A) (100)面をもつP型シリコン基板1上に、周知の選択酸化法によって素子分離用フィールド酸化膜2を形成する。シリコン基板1を再び熱酸化してゲート酸化膜3を成長させ、その上にポリシリコン層4をCVD法によって堆積させる。そして、写真製版とエッチング工程を経てポリシリコン層4及びゲート酸化膜3のパターン化を行なう。

保護回路部のソース・ドレイン領域6を形成するために、内部回路部をフォトリソで被い、砒素やリンなどのN型不純物を自己整合的に注入する。例えば砒素を注入とした場合、内部回路部に形成されるソース・ドレイン領域の注入量よりも多くなるように、例えば $1 \times 10^{15} \text{ cm}^{-2}$ 以上のドーズ量で注入し、ソース・ドレイン領域6を形成する。

(B) 次に、内部回路部のソース・ドレイン領域7を形成するために、写真製版により保護回路部をフォトリソで被う。

ス・ドレイン領域が形成され、この拡散層6はLDD構造になっていない。チャネル領域上にはゲート酸化膜3を介してポリシリコン層によるゲート電極4が形成されている。

内部回路部においては、ソース・ドレイン領域の拡散層はN⁺拡散層9とそれよりチャネル領域側に設けられたN⁻拡散層7とからなるLDD構造となっている。チャネル領域上にはゲート酸化膜3を介してポリシリコン層にてなるゲート電極4が形成されている。

また、内部回路部においては、拡散層9とポリシリコンゲート電極4の表面部分にチタンシリサイド層11が形成されている。

8はLDD構造を形成するとき使用された酸化膜の側壁である。

次に、本実施例を製造する方法について説明する。

第2図はその一例を表わしたものであり、拡散層の不純物濃度を保護回路部で高く、内部回路部で低くすることにより、内部回路部のみにシリサ

内部回路部はLDD構造とするために、最初のN型不純物を低ドーズ量で注入する。不純物としてはリンを使用する。これにより低濃度の拡散層7が形成される。

(C) フォトリソ5を除去した後、側壁8を形成するためにCVD酸化膜を堆積し、異方性エッチングを行ない、側壁8を形成する。

(D) 再び、保護回路部をフォトリソ5で被い、側壁8をスペーサとして自己整合的に内部回路部にN型不純物(例えば砒素)を高濃度で注入して拡散層9を形成する。拡散層9の注入量は、シリサイド化を進行させるために $1 \times 10^{15} \text{ cm}^{-2}$ よりは十分に低いドーズ量にする。

(E) フォトリソ5を除去した後、スパッタリング法などによりチタン膜10を全面に形成する。そして、アニールを行なうことにより、不純物のドーズ量の低い内部回路部では拡散層とポリシリコンゲート電極4の表面にシリサイド層が形成され、不純物のドーズ量の高い保護回路部ではシリサイド層が形成されない。

未反応のチタン膜10を除去すれば、第1図に示されるように内部回路部のみにシリサイド層11が形成された半導体集積回路装置が得られる。

第2図の方法では、内部回路部と保護回路部とで注入する不純物濃度を異ならせることにより、内部回路部のみに選択的にシリサイド層を形成するようにしたので、工程数が少なくてすみ、工期を短縮することができる。

シリサイド層の形成と不純物濃度の関係を第3図から第5図により説明する。

シリコン基板に不純物を注入し、その上にチタン膜を形成する。破線はアニール前のシート抵抗値、実線はアニールによるシリサイド化処理を施した後のシート抵抗値である。

第3図は不純物として砒素を用いた場合であり、イオン注入エネルギーは70 KeV、第4図は不純物としてリンを用いた場合であり、イオン注入エネルギーは40 KeV、第5図は不純物としてBF₃を用いた場合であり、イオン注入エネルギーは50 KeVである。

そして、未反応のチタン膜10を除去すれば第1図の半導体集積回路装置が得られる。

第7図は一実施例を製造するさらに他の方法を表わしている。

(A) 第2図と同様にして、保護回路部と内部回路部にそれぞれMOSトランジスタを形成する。この場合も保護回路部の拡散層6の不純物濃度は内部回路部の拡散層9の不純物濃度と同程度とし、シリサイド化できる濃度としておく。

全面にCVD酸化膜12を堆積し、写真製版によって保護回路部を被うレジスト5を形成する。

(B) レジスト5をマスクにして内部回路部の酸化膜12をエッチングにより除去する。その後、レジスト5も除去する。

次に、全面にスパッタリング法によりチタン膜10を形成する。そして、アニールを行なうことにより、内部回路部のみにシリサイド層を形成する。保護回路部は酸化膜12で被われているため、シリサイド層は形成されない。

未反応のチタン膜10を除去すれば第1図の半

いずれの場合も、ドーズ量が約 $1 \times 10^{15} / \text{cm}^2$ (表面濃度では約 $5 \times 10^{20} \sim 6 \times 10^{20} / \text{cm}^3$) 以上であれば、シリサイド化処理後も抵抗値は下がらず、したがってシリサイド化は起こらない。

第6図は一実施例を製造する他の方法を表わしている。

(A) 第2図と同様にして、シリコン基板1に内部回路部と保護回路部のMOSトランジスタが形成されている。ただし、この場合、保護回路部の拡散層6の不純物濃度は内部回路部の拡散層9の不純物濃度と同程度であり、シリサイドを形成することのできる濃度である。

スパッタリング法などによりチタン膜10を全面に形成した後、内部回路部を写真製版によりフォトリジスト5で被う。

(B) 保護回路部のチタン膜10をエッチングして除去し、レジスト5を除去した後、アニールを行ない内部回路部のみにチタンシリサイド層を形成する。

半導体集積回路装置が得られる。

実施例では内部回路部はLDD構造をもち、かつ、チタンシリサイド層が形成されているので、高信頼性と高速性を得ることができる。そして、保護回路部ではシリサイド層が形成されておらず、また、LDD構造も形成されていないので、サージ耐圧が高い。

(効果)

本発明では内部回路部にシリサイド層を形成することにより、拡散抵抗と配線抵抗を低くして高速動作を可能にし、入出力保護回路部ではシリサイド層を形成しないことにより高いサージ耐圧を実現することができる。

4. 図面の簡単な説明

第1図は一実施例を示す断面図、第2図(A)から同図(E)は一実施例の製造方法を示す断面図、第3図、第4図及び第5図はシリサイド化による拡散抵抗値変化の不純物注入量依存性を示す図、第6図(A)、(B)は一実施例の他の製造方法を示す断面図、第7図(A)、(B)は一実施例

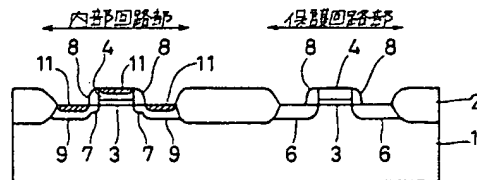
のさらに他の製造方法を示す断面図である。

- 1 ……シリコン基板、
- 4 ……ゲート電極、
- 6, 9 ……拡散層、
- 11 ……シリサイド層。

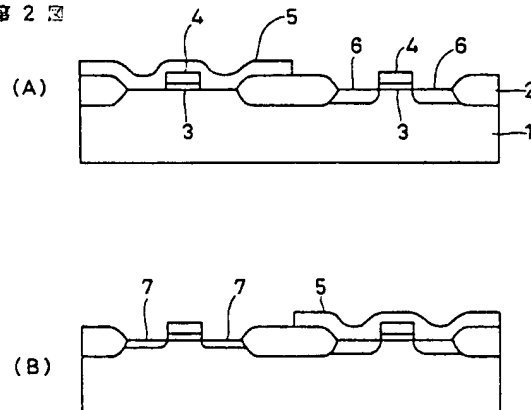
特許出願人 株式会社リコー

代理人 弁理士 野口繁雄

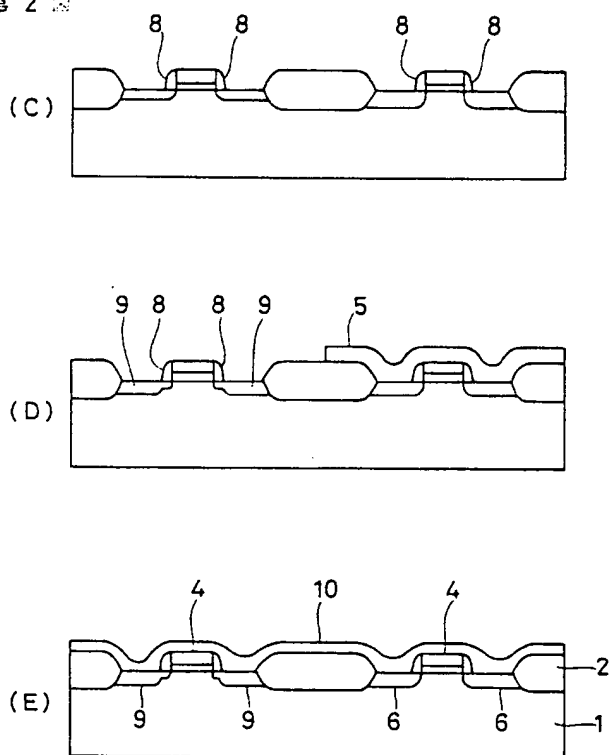
第1図



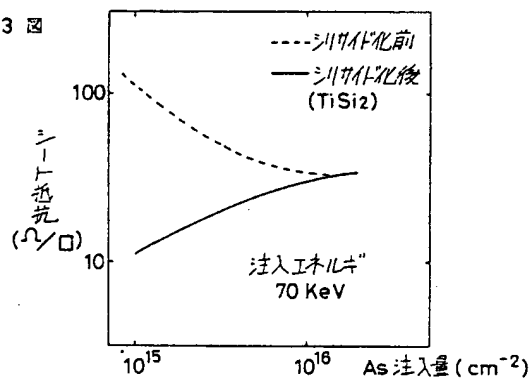
第2図



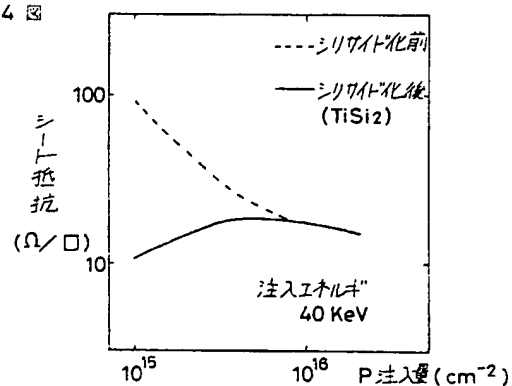
第2図



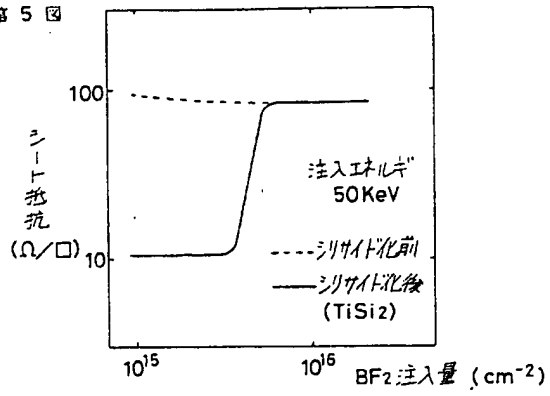
第3図



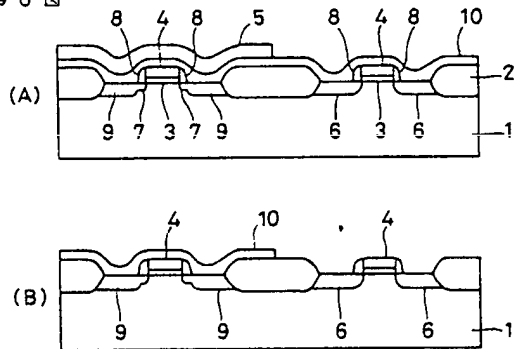
第4図



第5図



第6図



第7図

